

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 2001093947 A

(43) Date of publication of application: 06.04.01

(51) Int. Cl

H01L 21/66**H01L 27/04****H01L 21/822**

(21) Application number: 11267693

(71) Applicant: **TOSHIBA CORP**

(22) Date of filing: 21.09.99

(72) Inventor: **YOKOKURA SEIICHIRO**

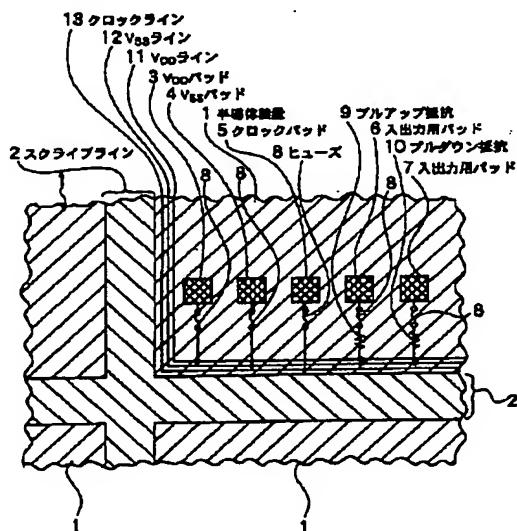
**(54) SEMICONDUCTOR DEVICE, SEMICONDUCTOR
WAFER AND METHOD FOR MANUFACTURING
SEMICONDUCTOR DEVICE**

COPYRIGHT: (C)2001,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor wafer, in which the number of probe needle is decreased in wafer burn-in and the troubles of connecting a load resistors is saved.

SOLUTION: On a semiconductor wafer, a VDD line 11 is connected to a plurality of VDD pads 3, with a fuse 8 in between, and to a plurality of input/ output pads 6 with the fuse 8 and a pull-up resistor 9 in between. Similarly, a VSS line 12 is connected to a plurality of VSS pads 4, with the fuse 8 in between, and to a plurality of input/output pads 7, with the fuse 8 and a pull- down resistor 10 in between. Furthermore, a clock line 13 is connected to a plurality of clock pads 5 with the fuse 8 in-between. Thereby, when voltage is applied to each one of the VDD pads 3, the VSS pads 5 and the clock pads 5, the voltage is applied to the other pads, too, so that burn-in is made possible, and when all of fuses 8 are cut off, die-sort is made possible.



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-93947

(P2001-93947A)

(43)公開日 平成13年4月6日(2001.4.6)

(51)Int.Cl.
H 01 L 21/66

識別記号

F I
H 01 L 21/66

テ-コ-ト(参考)
E 4 M 1 0 6
F 5 F 0 3 8

27/04
21/822

27/04

T

審査請求 未請求 請求項の数9 OL (全15頁)

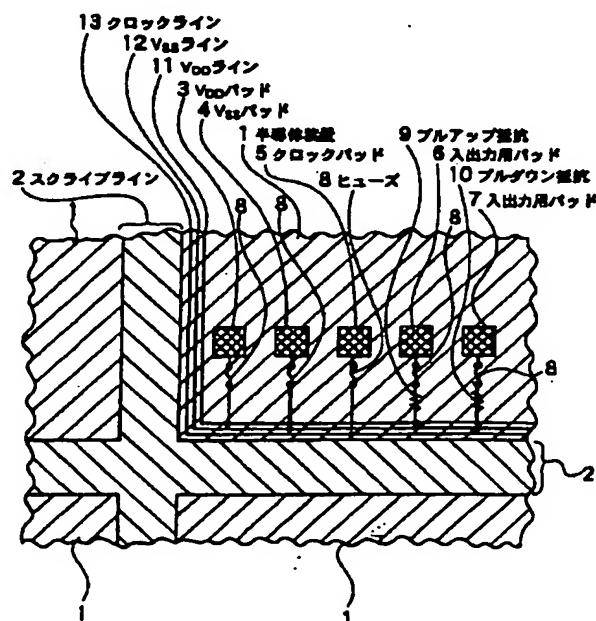
(21)出願番号	特願平11-267693	(71)出願人	000003078 株式会社東芝 神奈川県川崎市幸区堀川町72番地
(22)出願日	平成11年9月21日(1999.9.21)	(72)発明者	横倉 誠一郎 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内
		(74)代理人	100083806 弁理士 三好 秀和 (外7名) Fターム(参考) 4M106 AA01 AB08 AC13 AD07 BA01 CA04 DD03 SP038 BE01 BE08 BE09 CA13 CD15 CD16 DF04 DF05 DT15 EZ20

(54)【発明の名称】 半導体装置、半導体ウェーハと半導体装置の製造方法

(57)【要約】

【課題】 ウェーハバーンインにおいてプローブ針の本数が減らせ、負荷抵抗の接続の手間が省ける半導体ウェーハを提供する。

【解決手段】 半導体ウェーハ上で、VDDライン11を、ヒューズ8を介して複数のVDDパッド3と、ヒューズ8とブルアップ抵抗9を介して複数の入出力用パッド6とに接続する。同様にVSSライン12を、ヒューズ8を介して複数のVSSパッド4と、ヒューズ8とブルダウン抵抗10を介して複数の入出力用パッド7とに接続する。さらに、クロックライン13をヒューズ8を介して複数のクロックパッド5に接続する。このことにより、VDDパッド3、VSSパッド4、クロックパッド5の1つずつに電圧を印加すれば、残りのパッドにも電圧が印されバーンインが可能になり、ヒューズ8をすべて切断すれば、ダイソートが可能になる。



【特許請求の範囲】

【請求項1】 電源パッドと、

第1の入／出力用パッドと、

前記第1の入／出力用パッドに接続する抵抗と、

前記電源パッドと前記抵抗に接続する電源ラインとを備える事を特徴とする半導体装置。

【請求項2】 前記電源パッドと前記電源ラインの間に接続される第1のスイッチと、
前記第1の入／出力用パッドと前記抵抗の間に接続される第2のスイッチとを備える事を特徴とする請求項1記載の半導体装置。

【請求項3】 前記第1及び第2のスイッチはヒューズで構成され、このヒューズがすべて切断されている事を特徴とする請求項2記載の半導体装置。

【請求項4】 第1の半導体装置の上に設けられる第1の電源パッドと、

前記第1の半導体装置の上に設けられる第1の入／出力用パッドと、

前記第1の入／出力用パッドに接続する第1の抵抗と、
前記第1の電源パッドと前記第1の抵抗に接続する電源ラインとを備える事を特徴とする半導体ウェーハ。

【請求項5】 前記第1の抵抗と、前記電源ラインとが、スクライブラインの上に備えられる事を特徴とする請求項4記載の半導体ウェーハ。

【請求項6】 第2の半導体装置の上に設けられる第2の電源パッドと、

前記第2の半導体装置の上に設けられる第2の入／出力用パッドと、

前記第2の入／出力用パッドに接続する第2の抵抗とを備え、

前記第2の電源パッドと前記第2の抵抗とが前記電源ラインに接続する事を特徴とする請求項4又は請求項5記載の半導体ウェーハ。

【請求項7】 前記第2の抵抗が、スクライブラインの上に備えられる事を特徴とする請求項4乃至6のいずれか1つに記載の半導体ウェーハ。

【請求項8】 前記第1の電源パッドと前記電源ラインの間に接続される第1のヒューズと、

前記第1の入／出力用パッドと前記第1の抵抗の間に接続される第2のヒューズと、

前記第2の電源パッドと前記電源ラインの間に接続される第3のヒューズと、

前記第2の入／出力用パッドと前記第2の抵抗の間に接続される第4のヒューズとを備える事を特徴とする請求項6記載の半導体ウェーハ。

【請求項9】 電源パッドと、入／出力用パッドと、前記入／出力用パッドに接続する抵抗と、前記電源パッドと前記抵抗に接続する電源ラインとを、半導体ウェーハの上に形成する工程と、

前記半導体ウェーハのバーンインを行う工程と、

前記電源パッドと前記電源ラインの接続を切断し、前記抵抗と前記電源ラインの接続を切断する工程と、
前記半導体ウェーハのダイソートを行う工程とを有する事を特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、LSI等の半導体装置のバーンインに關し、特に、信頼性の高いウェーハバーンインを可能にする半導体装置、半導体ウェーハと半導体装置の製造方法に関する、

【0002】

【従来の技術】 LSI等の半導体装置は、初期不良発見のため加速度試験であるバーンインを経て出荷されている。バーンインでは、120°Cから150°Cで数時間のエージングテストを行う、

【0003】 現在ではウェーハバーンイン(WBI)が様々な方法で検討されている。ウェーハ形状でのバーンインが可能になれば、パッケージ前にバーンインが可能になり不良品をパッケージする工数が削減できる等のバーンインのコストの削減が期待できる。

【0004】 バーンインでは、半導体装置のほぼすべてのパッドに電流を流す必要があるので、ウェーハバーンインでは、数十以上の半導体装置のほぼすべての数万個以上のパッドにプローブ針を接触させる。ところが、パッドからプローブ針がずれたり、針がパッドを破壊してしまうことがあった。また、バーンインでは、多数のパッドにブルアップ抵抗とブルダウン抵抗の負荷抵抗を接続するので、テスト回路の接続を誤ったり断線させたりすることがあった。

【0005】 これらの接触不良や誤接続により、バーンインが正常に行われない場合は、再度テストを行っていた。

【0006】

【発明が解決しようとする課題】 そこで、本発明者は、これらの接触不良や誤接続について原因を詳細に検討し、以下に示す4つの原因を明らかにした。

【0007】 (1) バーンインボードもウェーハと同じ温度環境にあり、バーンインボードとウェーハの熱膨張率の違いによりパッドとプローブ針の相対的な位置が変わり接触不良になる。

【0008】 (2) バーンインボードとウェーハの反りによって、ウェーハ面内で針圧が異なる。ある領域で針圧が正常であっても、別の領域で針圧が低すぎ針がパッドに接触しなかったり、針圧が高すぎ針がパッドを破壊してしまうことがある。

【0009】 (3) バーンインボードは繰り返し使用されるため室温との温度差によるサーマルショックを何度も受け、プローブ針の変形やパッドの引っ掛け肩やはんだ外れやはんだ肩によるショートや断線などの不良を起こすことがある。

【0010】(4)人が接続するには接続する負荷抵抗の数が多すぎる。

【0011】そして、原因の1、2、3についてはプローブ針の本数が多すぎて針圧や位置の調整を人が管理できる状況にないと考えられた。

【0012】本発明は、上記事情に鑑みてなされたものであり、その目的とするところは、ウェーハーベーンインにおいてプローブ針の本数を減らせ、負荷抵抗の接続の手間を省ける半導体装置を提供する事にある。

【0013】また、本発明の目的は、ウェーハーベーンインにおいてプローブ針の本数を減らせ、負荷抵抗の接続の手間を省ける半導体ウェーハを提供する事にある。

【0014】最後に、本発明の目的は、ウェーハーベーンインにおいてプローブ針の本数を減らせ、負荷抵抗の接続の手間を省ける半導体装置の製造方法を提供する事にある。

【0015】

【課題を解決するための手段】すなわち、上記問題点を解決するための本発明の第1の特徴は、VDDパッドと、第1の入出力用パッドと、この第1の入出力用パッドに接続するブルアップ抵抗と、VDDパッドとブルアップ抵抗に接続するVDDラインとを備える半導体装置であることである。ここで、「VDDパッド」とは、半導体装置の中央部に配置される電子回路を高電位VDDに設定する電源を接続するためにこの回路から引き出されているパッドのことである。「入出力用パッド」とは、この回路の入出力信号を外部回路に出入力させるためにこの回路から引き出されているパッドのことである。なお、「入／出力」と記載した場合は「入力」と「出力」と「入出力」を表します。「ブルアップ抵抗」とは、負荷抵抗として高電位VDDに接続される抵抗のことである。このことにより、半導体装置上ですでにVDDラインを介して複数のVDDパッドが接続されるので、バーンインにおいては1つのVDDパッドに給電するだけで他のVDDパッドにも給電が可能である。また、半導体装置上ですでに、VDDラインとブルアップ抵抗を介してVDDパッドと入出力用パッドが接続されるので、バーンインにおいては1つのVDDパッドに給電するだけで入出力用パッドの電位を昇圧させることが可能である。そして、プローブ針の本数が減らせ、負荷抵抗の接続の手間が省けるウェーハーベーンインが可能になる。

【0016】本発明の第1の特徴は、VDDパッドとVDDラインの間に接続される第1のヒューズと、第1の入出力用パッドとブルアップ抵抗の間に接続される第2のヒューズとを備える事により効果的である。ここで、「ヒューズ」とは、オン状態からオフ状態へ一回限りのスイッチングが可能な素子のことである。ただし、素子として存在する領域が他素子や配線と明確に区別できなくとも、その領域でスイッチングが可能であるならば、その領域にはヒューズが接続されていると考える。さらに、

スイッチングが行われ、オフ状態になっても、この断線箇所には断線したヒューズが有ると考える。たとえば、ある配線の一領域をレーザートリマー装置で除去し配線を断線させる場合、このレーザートリマー装置で除去可能な領域あるいは除去後の領域にヒューズがあると考える。なお、ここでは一回のスイッチング動作が必要であるのでヒューズを用いたが、ヒューズに限らず多数回のスイッチングが可能なスイッチング素子であっても良い。このことにより、バーンイン後にヒューズを切断させるだけで半導体装置を通常動作の可能な状態にできる。

【0017】本発明の第1の特徴は、第1と第2のヒューズがすべて切断されている事により効果的である。このことにより、半導体装置の通常動作が可能になる。

【0018】本発明の第1の特徴は、VDDパッドとVDDラインの間に接続される第1の不揮発性スイッチング素子と、第1の入出力用パッドとブルアップ抵抗の間に接続される第2の不揮発性スイッチング素子とを備える事により効果的である。ここで、「不揮発性スイッチング素子」とは、フラッシュメモリ素子やFRAM素子のようにスイッチング後のオンオフの状態を外力によらず維持できる素子のことである。このことにより、不揮発性スイッチング素子をオン状態にすればバーンインが上記のように容易に行え、オフ状態にすれば通常動作が可能になる。

【0019】本発明の第1の特徴は、VSSパッドと、第2の入出力用パッドと、この第2の入出力用パッドに接続するブルダウン抵抗と、VSSパッドとブルダウン抵抗に接続するVSSラインとを備える事によっても同様の効果を得られる。ここで、「VSSパッド」とは、半導体装置の中央部に配置される電子回路を低電位VSSに設定する電源を接続するためにこの回路から引き出されているパッドのことである。「ブルダウン抵抗」とは、負荷抵抗として低電位VSSに接続される抵抗のことである。このことにより、半導体装置上ですでにVSSラインを介して複数のVSSパッドが接続されるので、バーンインにおいては1つのVSSパッドを給電あるいは接地するだけで他のVSSパッドにも給電あるいは接地が可能である。また、半導体装置上ですでに、VSSラインとブルダウン抵抗を介してVSSパッドと入出力用パッドが接続されるので、バーンインにおいては1つのVSSパッドを給電あるいは接地するだけで入出力用パッドの電位を昇圧させることが可能である。そして、プローブ針の本数が減らせ、負荷抵抗の接続の手間が省けるウェーハーベーンインが可能になる。VSSパッドとVSSラインの間に接続される第3のヒューズと、第2の入出力用パッドとブルダウン抵抗の間に接続される第4のヒューズとを備える事によっても上記のVDDラインと同様の効果を得られる。第3と第4のヒューズがすべて切断されている事によっても上記のVDDラインと同様の効果を得られる。VSSパッ

ドとVSSラインの間に接続される第3の不揮発性スイッチング素子と、第2の入出力用パッドとブルダウン抵抗の間に接続される第4の不揮発性スイッチング素子とを備える事によっても上記のVDDラインと同様の効果を得られる。

【0020】本発明の第1の特徴は、クロックパッドと、クロックパッドに接続するクロックラインとを備える事によっても同様の効果を得られる。ここで、「クロックパッド」とは、半導体装置の中央部に位置する電子回路回路の動作のタイミングを決めるクロックを接続するためにこの回路から引き出されているパッドのことである。このことにより、半導体装置上すでにクロックラインを介して複数のクロックパッドが接続されるので、バーンインにおいては1つのクロックパッドにクロック信号を入力するだけで他のクロックパッドにも入力が可能である。プローブ針の本数が減らせるウェーハバーンインが可能になる。クロックパッドとクロックラインの間に接続される第5のヒューズを備える事によっても上記のVDDラインと同様の効果を得られる。第5のヒューズがすべて切断されている事によっても上記のVDDラインと同様の効果を得られる。クロックパッドとクロックラインの間に接続される第5の不揮発性スイッチング素子を備える事によっても上記のVDDラインと同様の効果を得られる。

【0021】本発明の第2の特徴は、第1の半導体装置の上に設けられる第1のVDDパッドと、第1の半導体装置の上に設けられる第1の入出力用パッドと、第1の入出力用パッドに接続する第1のブルアップ抵抗と、第1のVDDパッドと第1のブルアップ抵抗に接続するVDDラインとを備える半導体ウェーハであることである。このことにより、半導体ウェーハ上すでにVDDラインを介して半導体装置毎に複数のVDDパッドが接続されるので、バーンインにおいては1つのVDDパッドに給電するだけで他のVDDパッドにも給電が可能である。また、半導体装置毎にすでに、VDDラインとブルアップ抵抗を介してVDDパッドと入出力用パッドが接続されるので、バーンインにおいては1つのVDDパッドに給電するだけで入出力用パッドの電位を昇圧させることができる。そして、プローブ針の本数が減らせ、負荷抵抗の接続の手間が省けるウェーハバーンインが可能になる。

【0022】本発明の第2の特徴は、第1のブルアップ抵抗と、VDDラインとが、スクライブラインの上に備えられる事により効果的である。ここで、「スクライブライン」とは、半導体ウェーハの上に配置された半導体装置の間に設けられる格子状の領域のことで、ダイシングの際に切りしろになる。このことにより、半導体装置の面積を大きくしなくて良く、ウェーハの上に作れる半導体装置の数を減らさなくてすむ。

【0023】本発明の第2の特徴は、第2の半導体装置の上に設けられる第2のVDDパッドと、第2の半導体装

置の上に設けられる第2の入出力用パッドと、第2の入出力用パッドに接続する第2のブルアップ抵抗とを備え、第2のVDDパッドと第2のブルアップ抵抗とがVDDラインに接続する事により効果的である。このことにより、半導体ウェーハ上すでにVDDラインを介して複数の半導体装置のVDDパッドが接続されるので、バーンインにおいては1つのVDDパッドに給電するだけで他の半導体装置のVDDパッドにも給電が可能である。また、半導体装置毎にすでに、VDDラインとブルアップ抵抗を介してVDDパッドと入出力用パッドが接続されるので、バーンインにおいては1つのVDDパッドに給電するだけで複数の半導体装置の入出力用パッドの電位を昇圧させることができる。そして、プローブ針の本数が減らせ、負荷抵抗の接続の手間が省けるウェーハバーンインが可能になる。そして、第2のブルアップ抵抗が、スクライブラインの上に備えられる事により効果的である。

【0024】本発明の第2の特徴は、第1のVDDパッドとVDDラインの間に接続される第1のヒューズと、第1の入出力用パッドと第1のブルアップ抵抗の間に接続される第2のヒューズと、第2のVDDパッドとVDDラインの間に接続される第3のヒューズと、第2の入出力用パッドと第2のブルアップ抵抗の間に接続される第4のヒューズとを備える事により効果的である。また、本発明の第2の特徴は、第1乃至4のヒューズがすべて切断されている事により効果的である。このことにより、バーンイン後にヒューズを切断させただけで半導体装置の通常動作が可能になる。

【0025】本発明の第2の特徴は、第1の半導体装置の上に設けられる第1のVSSパッドと、第1の半導体装置の上に設けられる第3の入出力用パッドと、第3の入出力用パッドに接続する第1のブルダウン抵抗と、第1のVSSパッドと第1のブルダウン抵抗に接続するVSSラインとを備える事によっても上記のVDDラインと同様の効果を得ることができる。第1のブルダウン抵抗と、VSSラインとが、スクライブラインの上に備えられる事によっても上記のVDDラインと同様の効果を得ることができる。第2の半導体装置の上に設けられる第2のVSSパッドと、第2の半導体装置の上に設けられる第4の入出力用パッドと、第4の入出力用パッドに接続する第2のブルダウン抵抗と、第2のVSSパッドと第2のブルダウン抵抗とがVSSラインに接続する事によっても上記のVDDラインと同様の効果を得ることができる。第2のブルダウン抵抗が、スクライブラインの上に備えられる事によっても上記のVDDラインと同様の効果を得ることができる。第1のVSSパッドとVSSラインの間に接続される第5のヒューズと、第3の入出力用パッドと第1のブルダウン抵抗の間に接続される第6のヒューズと、第2のVSSパッドとVSSラインの間に接続される第7のヒューズと、第4の入出力用パッドと第2のブルダウン抵抗の間に接続される第8のヒューズとを備える事によ

っても上記のVDDラインと同様の効果を得ることができ、第5乃至8のヒューズがすべて切断されている事によっても上記のVDDラインと同様の効果を得ることができる。

【0026】本発明の第2の特徴は、第1の半導体装置の上に設けられる第1のクロックパッドと、第2の半導体装置の上に設けられる第2のクロックパッドと、スクライブラインの上に備えられ、第1のクロックパッドと第2のクロックパッドに接続するクロックラインとを備える事によっても同様の効果を得ることができる。

【0027】このことにより、半導体ウェーハ上ですでにクロックラインを介して複数の半導体装置のクロックパッドが接続されるので、バーンインにおいては1つのクロックパッドにクロック信号を入力するだけで他の半導体装置のクロックパッドにも入力が可能である。そして、プローブ針の本数が減らせるウェーハバーンインが可能になる。第1のクロックパッドとクロックラインの間に接続される第9のヒューズと、第2のクロックパッドとクロックラインの間に接続される第10のヒューズとを備える事によっても上記のVDDラインと同様の効果を得ることができる。第9と10のヒューズがすべて切断されている事によっても上記のVDDラインと同様の効果を得ることができる。

【0028】本発明の第3の特徴は、VDDパッドと、第1の入出力用パッドと、この第1の入出力用パッドに接続するブルアップ抵抗と、VDDパッドとブルアップ抵抗に接続するVDDラインとを半導体ウェーハの上に形成する工程と、この半導体ウェーハのバーンインを行う工程と、VDDパッドとVDDラインの接続を切断しブルアップ抵抗とVDDラインの接続を切断する工程と、半導体ウェーハのダイソートを行う工程とを有する半導体装置の製造方法であることである。このことにより、半導体ウェーハ上ですでにVDDラインを介して複数のVDDパッドが接続されるので、バーンインにおいては1つのVDDパッドに給電するだけで他のVDDパッドにも給電が可能である。また、半導体ウェーハ上ですでに、VDDラインとブルアップ抵抗を介してVDDパッドと入出力用パッドが接続されるので、バーンインにおいては1つのVDDパッドに給電するだけで入出力用パッドの電位を昇正させることができる。そして、プローブ針の本数が減らせ、負荷抵抗の接続の手間が省けるウェーハバーンインが可能になる。バーンインの後に切断する工程を行うことで、半導体装置が通常動作の可能な状態になるので半導体ウェーハのダイソートが行える。

【0029】本発明の第3の特徴は、VSSパッドと、第2の入出力用パッドと、この第2の入出力用パッドに接続するブルダウン抵抗と、VSSパッドとブルダウン抵抗に接続するVSSラインとを、半導体ウェーハの上に形成する工程と、この半導体ウェーハのバーンインを行う工程と、VSSパッドとVSSラインの接続を切断しブルダウ

ン抵抗とVSSラインの接続を切断する工程と、半導体ウェーハのダイソートを行う工程とを有する事によっても同様の効果を得ることができる。このことにより、上記VDDラインと同様の効果を得ることができる。

【0030】本発明の第3の特徴は、クロックパッドと、このクロックパッドに接続するクロックラインとを、半導体ウェーハの上に形成する工程と、この半導体ウェーハのバーンインを行う工程と、クロックパッドとクロックラインの接続を切断する工程と、半導体ウェーハのダイソートを行う工程とを有する事によっても同様の効果を得ることができる。このことにより、上記VDDラインと同様の効果を得ることができる。

【0031】

【発明の実施の形態】次に、図面を参照して、本発明の実施の形態として半導体ウェーハ、半導体装置と半導体装置の製造方法を説明する。以下の図面の記載において、同一又は類似の部分には同一又は類似の符号を付している。また、図面は模式的なものであり、厚みと平面寸法との関係、各層の厚みの比率等は現実のものとは異なることに留意すべきである。

【0032】(第1の実施の形態)図1は、第1の実施の形態に係る半導体ウェーハの上に形成される半導体装置のパッドの近傍の上面図である。図2は、第1の実施の形態に係る半導体ウェーハの上に形成される複数の半導体装置の上面図である。図1は図2の一部の拡大図である。第1の実施の形態に係る半導体ウェーハは、格子状に配置された半導体装置1と、半導体装置1の間に設けられるスクライブライン2を有する。半導体装置1が、ワンチップマイコン等のテストROMを内蔵する半導体装置とする。半導体装置1は、中央部に図示は省略した電子回路と、この電子回路を高電位VDDに設定する電源を接続するためにこの回路から引き出されているVDDパッド3と、同様に低電位VSSに設定するためのVSSパッド4と、この回路の動作のタイミングを決めるクロックを接続するためにこの回路から引き出されているクロックパッド5と、この回路の入出力信号を外部回路に出入力させるためにこの回路から引き出されている入出力用パッド6と7とを備えている。さらに、半導体装置1は、配線であるVDDライン11を備えており、VDDパッド3は切断可能なヒューズ8を介してVDDライン11に接続され、入出力用パッド6は切断可能なヒューズ8とブルアップ抵抗9を介してVDDライン11に接続されている。特に図2のように、複数のVDDパッド3と複数の入出力用パッド6がVDDライン11に接続されていてもよく、VDDライン11を輪の形状につなげてもよい。なお、図2ではヒューズ8とブルアップ抵抗9とブルダウン抵抗10の図示を省略している。半導体装置1は、配線であるVSSライン12を備えており、VSSパッド4は切断可能なヒューズ8を介してVSSライン12に接続され、入出力用パッド7は切断可能なヒューズ8とブル

ダウン抵抗10を介してVSSライン12に接続されている。半導体装置1は、配線であるクロックライン13を備えており、クロックパッド5は切断可能なヒューズ8を介してクロックライン13に接続されている。

【0033】図3と図4は、バーンインのためにプローブ針をパッドに接触させた図である。図3に示すように、バーンインに際し、プローブ針14は、VDDパッド3と、VSSパッド4と、クロックパッド5の3つのパッドに接触させればよく、入出力用パッド6と7に接触させる必要はない。入出力用パッド6がブルアップ抵抗9とVDDライン11を介してVDDパッド3に接続しているので、ブルアップ抵抗9が負荷抵抗として機能するからである。入出力用パッド7もブルダウン抵抗10とVSSライン12を介してVSSパッド4に接続しているので、ブルダウン抵抗10が負荷抵抗として機能するからである。また、図4に示すように、半導体装置1が複数のVDDパッド3と、VSSパッド4と、クロックパッド5を有していてもそれらのなかの1つずつにプローブ針14を接触させれば良い。これは、半導体装置1の中で、複数のVDDパッド3はVDDライン11を介して接続しているので、1つのVDDパッド3にプローブ針14を通してVDDを印加すれば、残りのVDDパッド3の電位もVDDにことができるからである。同様のことがVSSパッド4とクロックパッド5にもいえるので、結局、半導体装置1当たりVDDパッド3用と、VSSパッド4用と、クロックパッド5用の3本のプローブ針14でバーンインが可能になる。また、半導体装置1内でブルアップ抵抗9とブルダウン抵抗10が、入出力用パッド6と7と、VDDライン11とVSSライン12とに接続されているので、バーンインに際しブルアップ抵抗とブルダウン抵抗を半導体装置1の外で接続させる必要がない。なお、バーンインの判定についてはVDDパッド3に接続されるプローブ14を流れる電流をモニターして所定値より大きくなれば半導体装置1が不良であると判定する。不良判定された半導体装置1にVDDパッド3から電圧を印加し続けると過電流が流れ熱暴走し、周辺の半導体装置1も破壊してしまう場合があるので、不良判定後は電圧の印加を停止する。

【0034】図5と図6は、ヒューズ8をすべて切断し、VDDパッド3、VSSパッド4、クロックパッド5と入出力用パッド6と7から、VDDライン11、VSSライン12、クロックライン13、ブルアップ抵抗9とブルダウン抵抗10を切り離した図である。ヒューズ8をすべて切断することによって、半導体装置1が本来の使用目的で動作できるようになる。

【0035】ヒューズ8の切断にはレーザートリマー装置を用いてレーザー光を照射し溶断する。ヒューズ8の構造としては、切断部のヒューズ材が大気中に蒸発しやすいように、ヒューズ8の上のパッセーション膜は薄くした方がよいが、他の点は別段ヒューズ8前後の配線

と変える必要はない。

【0036】また、ヒューズ8の切断には、ヒューズ8に過電流を流し発熱させて溶断してもよい。過電流はできるだけ半導体装置1内部の電子回路には流したくないので、VDDパッド3、VSSパッド4、クロックパッド5と入出力用パッド6と7にプローブ針を立て、VDDライン11、VSSライン12とクロックライン13側にもプローブ針を立て、プローブ針間に過電流を流せばよい。ライン11、12、13側にプローブ針を立てるためには、ライン11、12、13にヒューズ8を介すること無く直結するパッドをそれぞれに設けておく。ヒューズ8の構造としては、上記と同様にヒューズ8の上のパッセーション膜は薄くした方がよく、さらに、他の配線部より発熱しやすいように電気抵抗を大きくしておいたほうがよい。抵抗を大きくするには幅をヒューズ8の前後に位置する配線より細くすれば良い。

【0037】なお、ヒューズ8のかわりに不揮発性のスイッチング素子を配してもよい。不揮発性のスイッチング素子の制御電極同士を接続しておけば、1の制御信号すべてのスイッチング素子をオフすることが可能である。

【0038】図7と図8は、ダイソートのためにプローブ針をパッドに接触させた図である。図7に示すように、ダイソートにおいては、プローブ針14を半導体装置1のすべてのパッド3、4、5、6、7に接触させる。ヒューズ8がすべて切断されているので、パッド3、4、5、6、7毎に任意に電位を設定したり、電位を測定することができる。図8に示すように、ダイソートにおいては、半導体装置1を1つずつ内部の回路が目的通りに動作するか判定して、動作不良の半導体装置1にマーキングをする。

【0039】図9は、レーザー光による溶断後の本発明の第1の実施の形態に係る半導体装置1のパッドの近傍の上面図である。半導体装置1では、動作時に使用されないVDDライン11、VSSライン12、クロックライン13、ブルアップ抵抗9とブルダウン抵抗10を有することになる。

【0040】(第2の実施の形態)図10は、第2の実施の形態に係る半導体ウェーハの上に形成される半導体装置のパッドの近傍の上面図である。図11は、第2の実施の形態に係る半導体ウェーハの上に形成される複数の半導体装置の上面図である。図10は図11の一部の拡大図である。第2の実施の形態に係る半導体ウェーハは、格子状に配置された半導体装置1と、半導体装置1の間に設けられるスクライブライン2を有する。半導体装置1が、ワンチップマイコン等のテストROMを内蔵する半導体装置とする。半導体装置1は、中央部に図示は省略した電子回路と、この電子回路から引き出されているVDDパッド3、VSSパッド4、クロックパッド5、入出力用パッド6、7とを備えている。一方、スクライ

ブライン2は、配線であるVDDライン11を備えており、VDDライン11は、切断可能なヒューズ8を介してVDDパッド3に接続される。また、VDDライン11は、切断可能なヒューズ8とブルアップ抵抗9を介して入出力用パッド6に接続されている。特に図11のように、VDDライン11が複数のVDDパッド3と複数の入出力用パッド6に接続されていてもよく、VDDライン11が輪の形状であってもよい。なお、図11ではヒューズ8とブルアップ抵抗9とブルダウン抵抗10の図示を省略している。スクリープライン2は、配線であるVSSライン12を備えており、VSSライン12は切断可能なヒューズ8を介してVSSパッド4に接続され、切断可能なヒューズ8とブルダウン抵抗10を介して入出力用パッド7に接続されている。スクリープライン2は、配線であるクロックライン13を備えており、切断可能なヒューズ8を介してクロックパッド5に接続されている。

【0041】第2の実施の形態に係る半導体ウェーハと、第1の実施の形態に係る半導体ウェーハとは、VDDライン11、VSSライン12、クロックライン13、ヒューズ8、ブルアップ抵抗9とブルダウン抵抗10の配置される場所が、スクリープライン2の上か半導体装置1の上かの違いがあるだけで、VDDライン11、VSSライン12、クロックライン13、ヒューズ8、ブルアップ抵抗9とブルダウン抵抗10の接続の前後関係は同じである。したがって、第2の実施の形態においても第1の実施の形態と同様に、バーンインのためのパッド3、4、5への針当てや、すべてのヒューズ8の切断や、ダイソートのためのすべてのパッドへの針当てを行うことができる。

【0042】図12は、ダイシング後の本発明の第2の実施の形態に係る半導体装置1のパッドの近傍の上面図である。半導体装置1は、動作時に使用されないVDDライン11、VSSライン12、クロックライン13、ブルアップ抵抗9とブルダウン抵抗10を有しないことになる。ただ、半導体装置1にこれらが接続されていたことを示す痕跡としてパッド3、4、5、6、7から半導体装置1の端面に延びる導線17が観察される。

【0043】(第3の実施の形態)図13と図14は、第3の実施の形態に係る半導体ウェーハの上に形成される複数の半導体装置のパッドの近傍の上面図である。図13は図14の一部の拡大図である。第3の実施の形態に係る半導体ウェーハは、格子状に配置された半導体装置1、101、102と、半導体装置1、101、102の間に設けられるスクリープライン2を有する。

【0044】半導体装置1、101、102は、ワントップマイコン等のテストROMを内蔵する半導体装置とする。図13より半導体装置1、101、102は、中央部に図示は省略した電子回路と、この電子回路から引き出されているVDDパッド31、32、VSSパッド41、42、クロックパッド51、52、入出力用パッド

61、62、66、67、71、72と備えている。

【0045】一方、スクリープライン2は、配線であるVDDライン111と112を備えている。VDDライン111は、半導体装置101のVDDパッド31に接続される。また、VDDライン111は、ブルアップ抵抗91、93を介して入出力用パッド61、66に接続されている。特に図14のように、VDDライン111が複数のVDDパッド31、33、34、35と複数の入出力用パッド61、63、64、65に接続されていてもよく、VDDライン111が輪の形状であってもよい。なお、図13ではすべてのパッドに接続するヒューズの図示を省略している。図14ではすべてのパッドに接続するヒューズと、入出力用パッド61、62、63、64、65に接続するブルアップ抵抗と、入出力用パッド71、72、73、74、75に接続するブルダウン抵抗の図示を省略している。VDDライン112は、半導体装置102のVDDパッド32に接続される。また、VDDライン112は、ブルアップ抵抗92、94を介して入出力用パッド62、67に接続されている。

【0046】スクリープライン2は、配線であるVSSライン12を備えている。VSSライン12は、半導体装置101のVSSパッド41と、ブルダウン抵抗103を介して入出力用パッド71に接続されている。また、VSSライン12は、半導体装置102のVSSパッド42と、ブルダウン抵抗104を介して入出力用パッド72に接続されている。さらに、図14のように、VSSライン12がVSSライン121、124と接続し、これらVSSライン121、124がVSSライン123と接続した梯子の形状であってもよい。このことにより、半導体装置101の複数のVSSパッド41、43、44、45と複数の入出力用パッド71、73、74、75を接続することができる。半導体装置102に関してはVSSライン12、122、123等によって複数のVSSパッドと入出力用パッドを接続することができる。なお、VSSライン121と122は1本に統合が可能である。

【0047】スクリープライン2は、配線であるクロックライン13を備えており、半導体装置101のクロックパッド51と半導体装置102のクロックパッド52に接続されている。さらに、図14のように、クロックライン13がクロックライン131、134と接続し、これらクロックライン131、134がクロックライン133と接続した梯子の形状であってもよい。このことにより、半導体装置101の複数のクロックパッド51、53、54、55を接続することができる。半導体装置102に関してはクロックライン13、132、133等によって複数のクロックパッドを接続することができる。なお、クロックライン131と132は1本に統合が可能である。

【0048】図15と図16は、バーンインのためにプローブ針をパッドに接觸させた図である。図15に示す

ように、バーンインに際し、プローブ針141、142、143、144は、半導体装置101のVDDパッド31、VSSパッド41、クロックパッド51と半導体装置102のVDDパッド32の4つのパッドに接触させればよく、半導体装置102のVSSパッド42、クロックパッド52と半導体装置101と102の入山力用パッド61、62、66、67、71、72に接触させる必要はない。これは、入出力用パッド61、66がブルアップ抵抗91、93とVDDライン111を介してVDDパッド31に接続しているからである。そして、入出力用パッド62、67がブルアップ抵抗92、94とVDDライン112を介してVDDパッド32に接続しているからである。VSSパッド42もVSSライン12を介してVSSパッド41に接続し、入山力用パッド71と72もブルダウン抵抗103と104とVSSライン12を介してVSSパッド41に接続しているからである。クロックパッド52もクロックライン13を介してクロックパッド51に接続しているからである。

【0049】また、図16に示すように、行方向に並んだ半導体装置101、102等に対して半導体装置101のVDDパッド31、VSSパッド41、クロックパッド51にプローブ針141、142、143を接触させれば、行方向に並んだ残りの半導体装置102等は、VDDパッド32等にプローブ針144を接触させればよい。すなわち、大半の半導体装置については半導体装置当たりVDDパッド32用の1本のプローブ針でバーンインが可能になる。なお、バーンインの判定については、VDDパッド31、32、36、37に接続される各々のプローブ141、144、141、144を流れる電流をモニターして所定値より大きくなれば該当する半導体装置101、102、103、104が不良であると判定する。第3の実施の形態においても第1の実施の形態と同様に、バーンインの後に、すべてのヒューズ（図示省略）の切断や、ダイソートのための半導体装置毎のすべてのパッドへの針当てを行う。

【0050】（第4の実施の形態）図17と図18は、第4の実施の形態に係る半導体ウェーハの上に形成される複数の半導体装置のパッドの近傍の上面図である。図17は図18の一部の拡大図である。第4の実施の形態に係る半導体ウェーハは、格子状に配置された半導体装置1、101、102と、半導体装置1、101、102の間に設けられるスクライブライン2を有する。

【0051】半導体装置1、101、102は、ワンチップマイコン等のテストROMを内蔵する半導体装置とする。半導体装置1、101、102は、中央部に図示ば省略した電子回路と、この電子回路から引き出されているVDDパッド31、32、VSSパッド41、42、クロックパッド51、52、入出力用パッド61、62、66、67、71、72とを備えている。

【0052】一方、スクライブライン2は、配線である

VDDライン111、114と112を備えている。VDDライン111は、半導体装置101のVDDパッド31と半導体装置102のVDDパッド32とに接続される。また、VDDライン111は、ブルアップ抵抗91、92を介して入出力用パッド61、62に接続されている。VDDライン111は、VDDライン114、112とブルアップ抵抗93、94を介して入出力用パッド66、67に接続されている。特に図18のように、VDDライン111がVDDライン111、114と接続し、これらVDDライン111、114がVDDライン113と接続した梯子の形状であってもよい。このことにより、半導体装置101の複数のVDDパッド31、33、34、35と複数の入出力用パッド61、63、64、65を接続することができる。半導体装置102に関してはVDDライン111、113等によって複数のVDDパッド32と入出力用パッド62を接続することができる。なお、図17ではすべてのパッドに接続するヒューズの図示を省略している。図18ではすべてのパッドに接続するヒューズと、入山力用パッド61、62、63、64、65に接続するブルアップ抵抗と、入出力用パッド71、72、73、74、75に接続するブルダウン抵抗の図示を省略している。

【0053】また、スクライブライン2は、配線であるVSSライン12とクロックライン13を備えている。VSSライン12とクロックライン13は第3の実施の形態と同様に接続されている。

【0054】図19と図20は、バーンインのためにプローブ針をパッドに接触させた図である。図19に示すように、バーンインに際し、プローブ針14は、半導体装置101のVDDパッド31、VSSパッド41、クロックパッド51の3つのパッドに接触させればよく、半導体装置102のVDDパッド32、VSSパッド42、クロックパッド52と半導体装置101と102の入出力用パッド61、62、66、67、71、72に接続させることは必要はない。これは、入出力用パッド61、62がブルアップ抵抗91、92とVDDライン111を介してVDDパッド31に接続しているからである。そして、入出力用パッド66、67もブルアップ抵抗93、94とVDDライン114、112、111を介してVDDパッド31に接続しているからである。VSSパッド42もVSSライン12を介してVSSパッド41に接続し、入出力用パッド71と72もブルダウン抵抗103と104とVSSライン12を介してVSSパッド41に接続しているからである。クロックパッド52もクロックライン13を介してクロックパッド51に接続しているからである。

【0055】また、図20に示すように、行方向に並んだ半導体装置101、102等に対して半導体装置101のVDDパッド31、VSSパッド41、クロックパッド51にプローブ針14を接触させれば、行方向に並んだ残りの半導体装置102等にはプローブ針を接続させることはない。ただし、1つのVDDパッド31を通して複

故の半導体装置1へ電流が流れるので、VDDライン11等での電流密度が大きくなりすぎないようにラインの断面積等を大きくするする必要がある。なお、バーンインの判定については、VDDパッド31に接続される各々のプローブ14を流れる電流をモニターして所定値より大きくなれば該当する半導体装置101と102の行にある半導体装置のどれかに不良があると判定する。VDDパッド32では半導体装置103と104の行にある半導体装置に不良が発生したか否かが判定できる。第4の実施の形態においても第1の実施の形態と同様に、バーンインの後に、すべてのヒューズ(図示省略)の切断や、ダイソートのための半導体装置1毎のすべてのパッドへの針当てを行う。

【0056】上記のように、本発明は4つの実施の形態によって記載したが、この開示の一部をなす論述及び図面はこの発明を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施の形態、実施例及び運用技術が明らかとなろう。したがって、本発明の技術的範囲は上記の説明から妥当な特許請求の範囲に係る発明特許事項によってのみ定められるものである。

【0057】

【発明の効果】以上説明したように、本発明によれば、ウェーハバーンインにおいてプローブ針の本数を減らせ、負荷抵抗の接続の手間を省ける半導体装置を提供できる。

【0058】また、本発明によれば、ウェーハバーンインにおいてプローブ針の本数を減らせ、負荷抵抗の接続の手間を省ける半導体ウェーハを提供できる。

【0059】最後に、本発明によれば、ウェーハバーンインにおいてプローブ針の本数を減らせ、負荷抵抗の接続の手間を省ける半導体装置の製造方法を提供できる。【図面の簡単な説明】

【図1】第1の実施の形態に係る半導体ウェーハと半導体装置の上面図(その1)である。

【図2】第1の実施の形態に係る半導体ウェーハと半導体装置の上面図(その2)である。

【図3】第1の実施の形態に係る半導体ウェーハにバーンインのためプローブ針を接触させた状態の図(その1)である。

【図4】第1の実施の形態に係る半導体ウェーハにバーンインのためプローブ針を接触させた状態の図(その2)である。

【図5】第1の実施の形態に係る半導体ウェーハのヒューズを切断した状態の図(その1)である。

【図6】第1の実施の形態に係る半導体ウェーハのヒューズを切断した状態の図(その2)である。

【図7】第1の実施の形態に係る半導体ウェーハにダイソートのためプローブ針をパッドに接触させた状態の図(その1)である。

【図8】第1の実施の形態に係る半導体ウェーハにダイソートのためプローブ針をパッドに接触させた状態の図(その2)である。

【図9】ダイシング後の第1の実施の形態に係る半導体装置の上面図である。

【図10】第2の実施の形態に係る半導体ウェーハと半導体装置の上面図(その1)である。

【図11】第2の実施の形態に係る半導体ウェーハと半導体装置の上面図(その2)である。

【図12】ダイシング後の第2の実施の形態に係る半導体装置の上面図である。

【図13】第3の実施の形態に係る半導体ウェーハと半導体装置の上面図(その1)である。

【図14】第3の実施の形態に係る半導体ウェーハと半導体装置の上面図(その2)である。

【図15】第3の実施の形態に係る半導体ウェーハにバーンインのためプローブ針を接触させた状態の図(その1)である。

【図16】第3の実施の形態に係る半導体ウェーハにバーンインのためプローブ針を接触させた状態の図(その2)である。

【図17】第4の実施の形態に係る半導体ウェーハと半導体装置の上面図(その1)である。

【図18】第4の実施の形態に係る半導体ウェーハと半導体装置の上面図(その2)である。

【図19】第4の実施の形態に係る半導体ウェーハにバーンインのためプローブ針を接触させた状態の図(その1)である。

【図20】第4の実施の形態に係る半導体ウェーハにバーンインのためプローブ針を接触させた状態の図(その2)である。

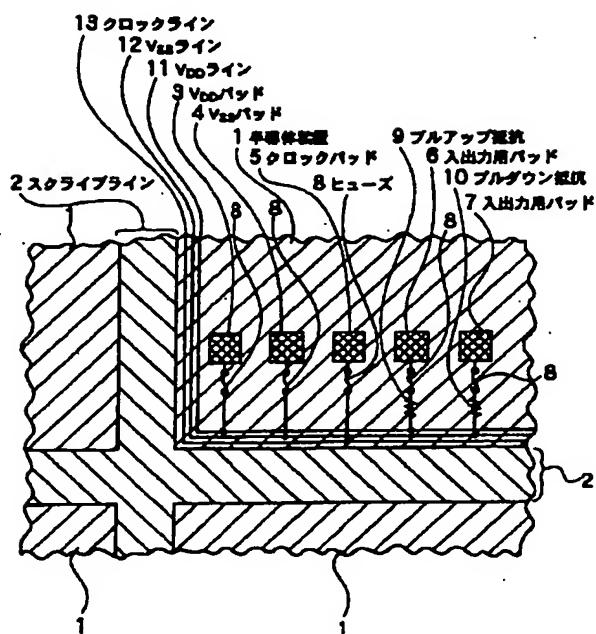
【符号の説明】

- 1、101、102、103、104 半導体装置
- 2 スクライブライン
- 3、31、32、33、34、35、36、37 VDD パッド
- 4、41、42、43、44、45、46 VSS パッド
- 5、51、52、53、54、55、56 クロックパッド
- 6、7、61、62、63、64、65、66、67、71、72 入出力用パッド
- 8 ヒューズ
- 9、91、92、93、94 ブルアップ抵抗
- 10、103、104 ブルダウン抵抗
- 11、111、112、114 VDDライン
- 12、121、122、123、124 VSSライン
- 13、131、132、133、134 クロックライン
- 14、141、142、143、144 プローブ

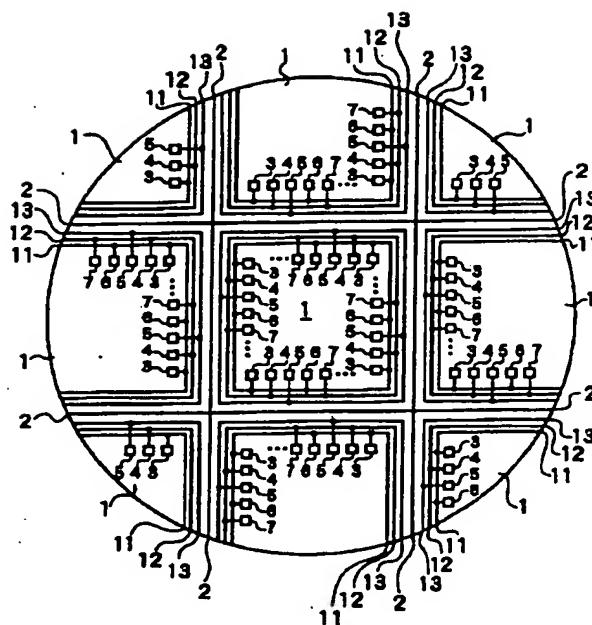
15 パーンインボード
16 プローブカード

17 導線

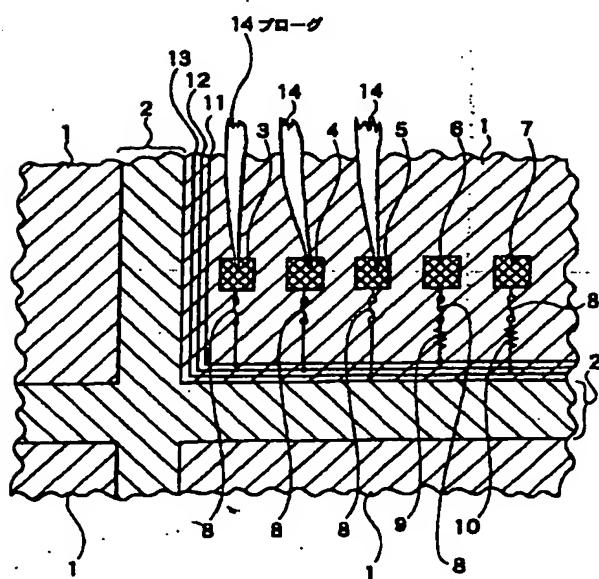
【図1】



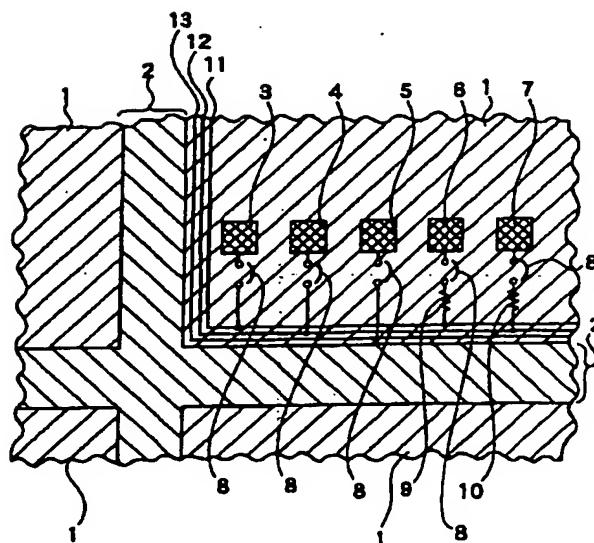
【図2】



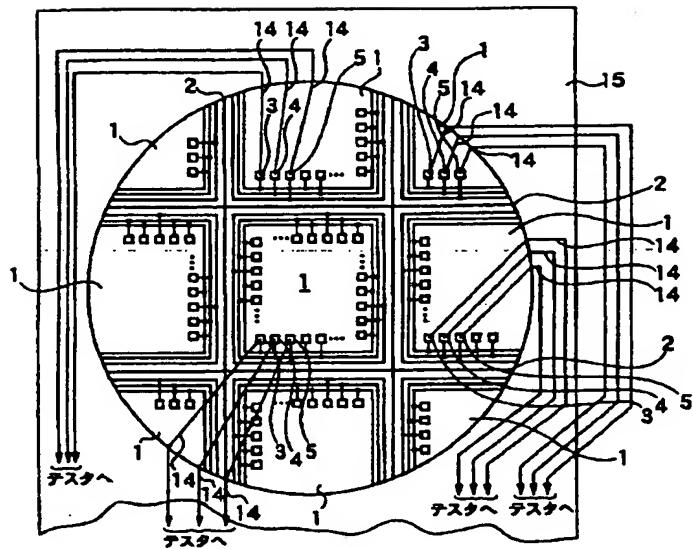
【図3】



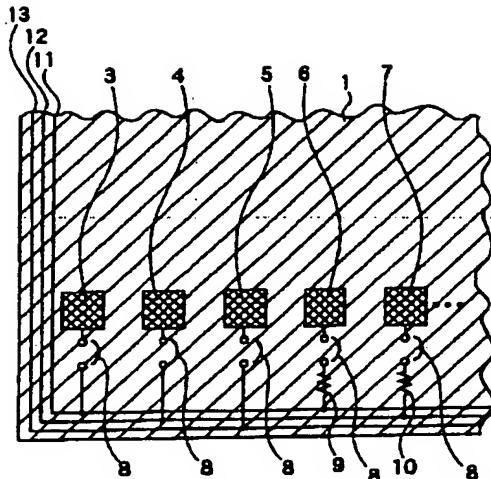
【図5】



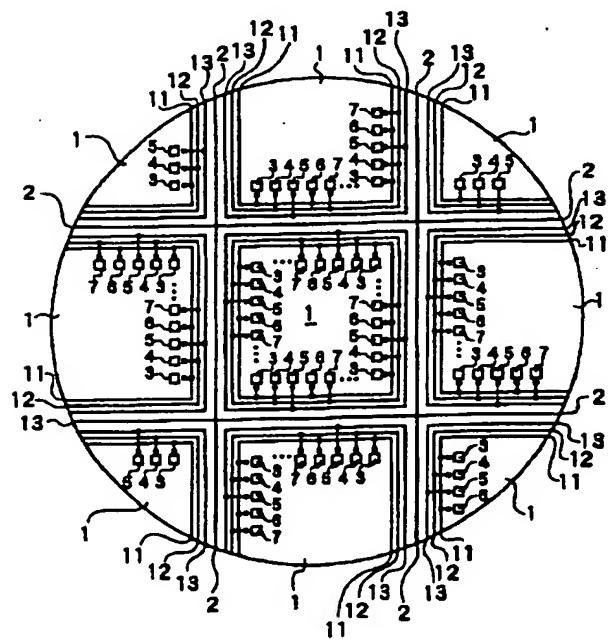
[图4]



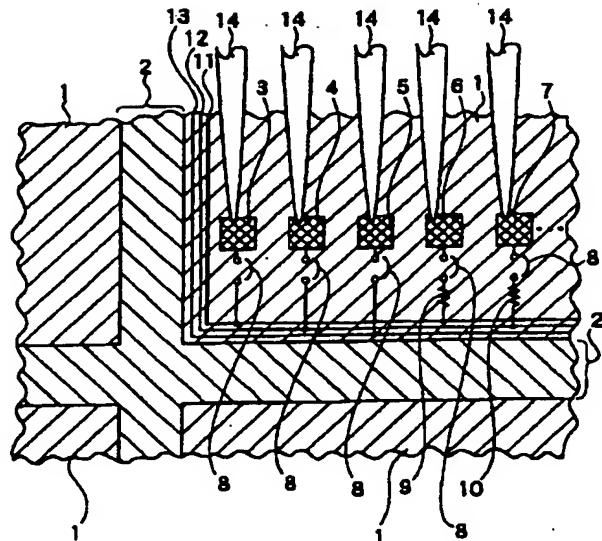
[४९]



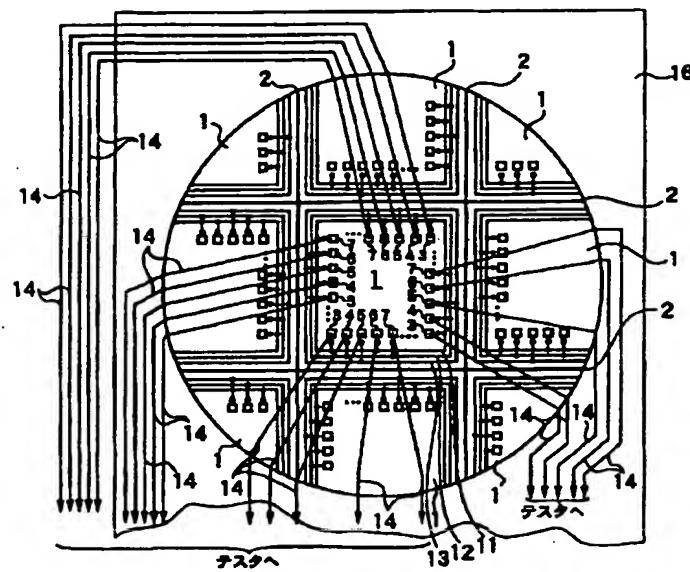
[图6]



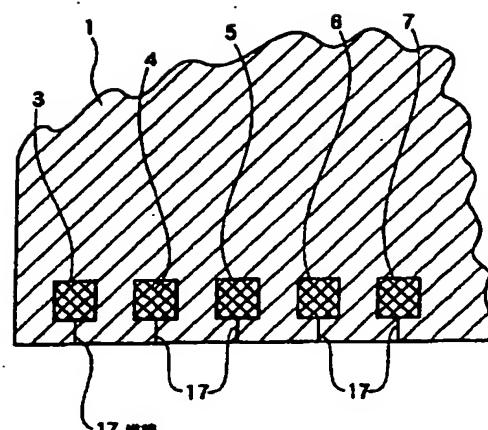
〔图7〕



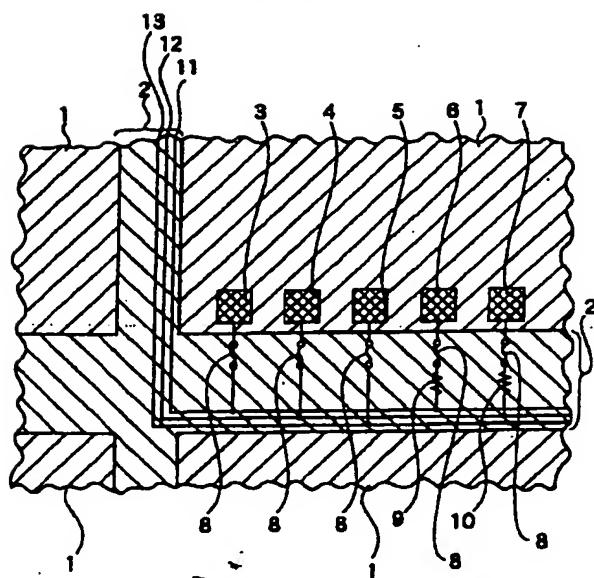
【図8】



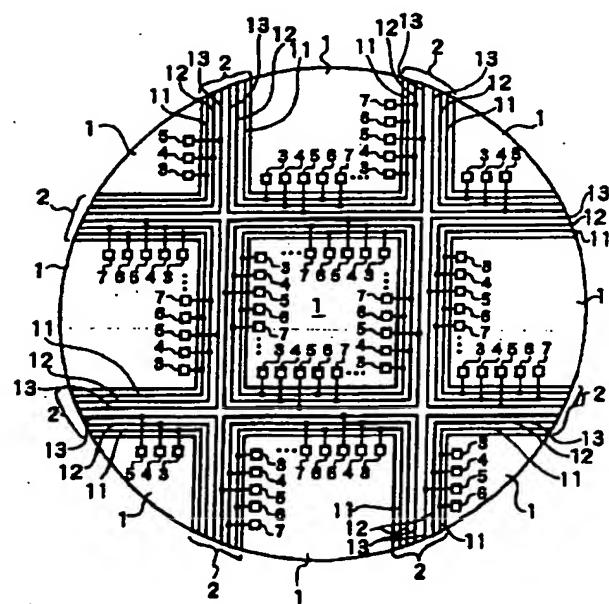
【図12】



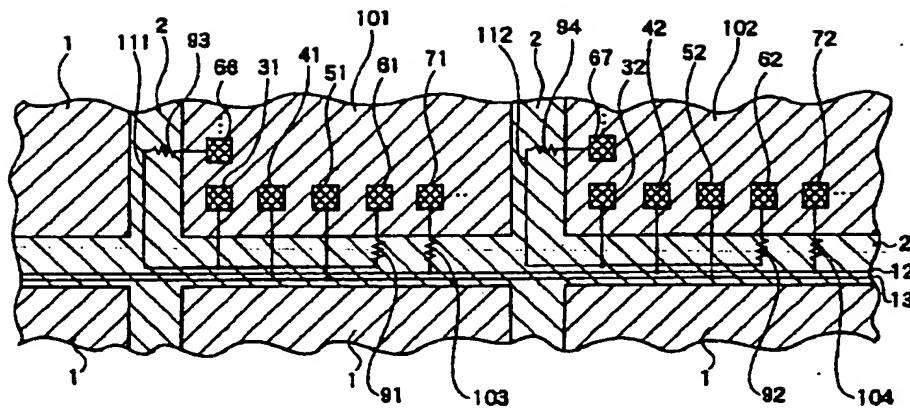
【図10】



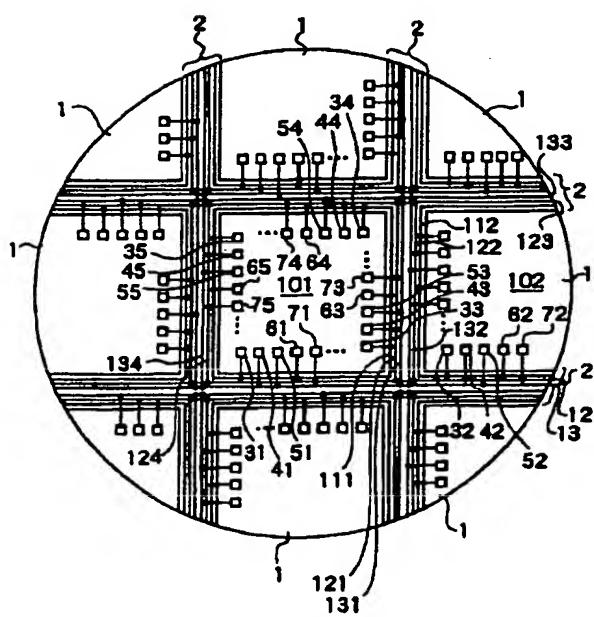
【図11】



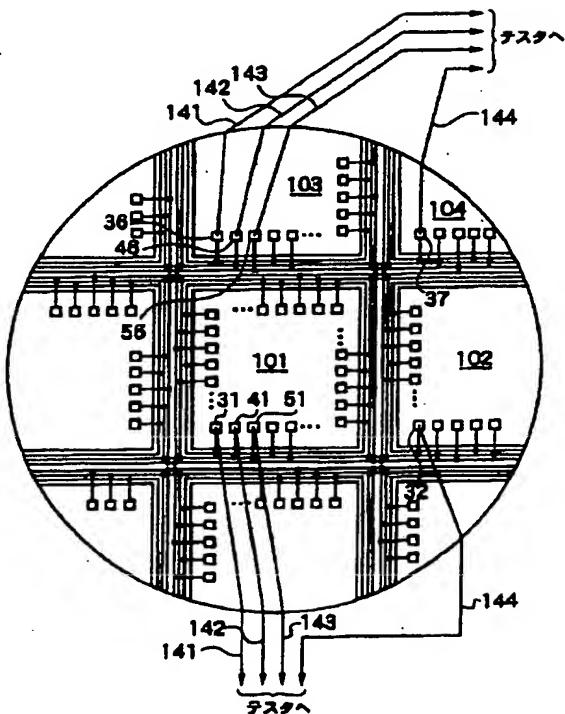
【図13】



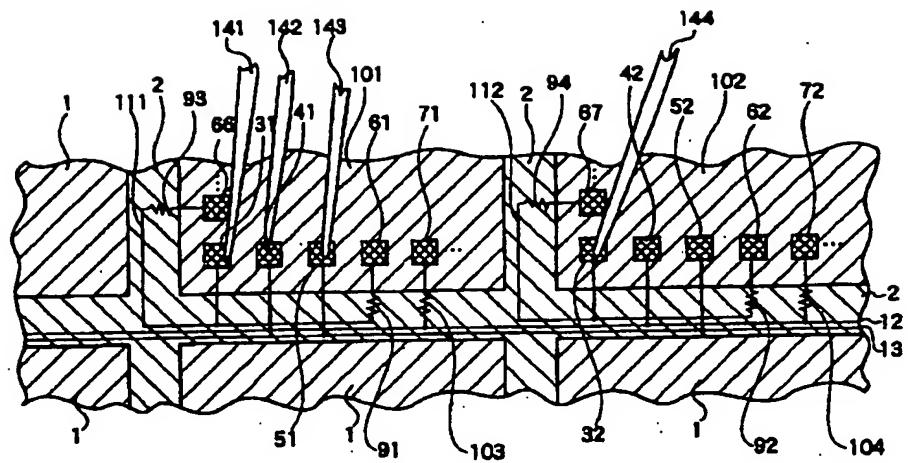
【図14】



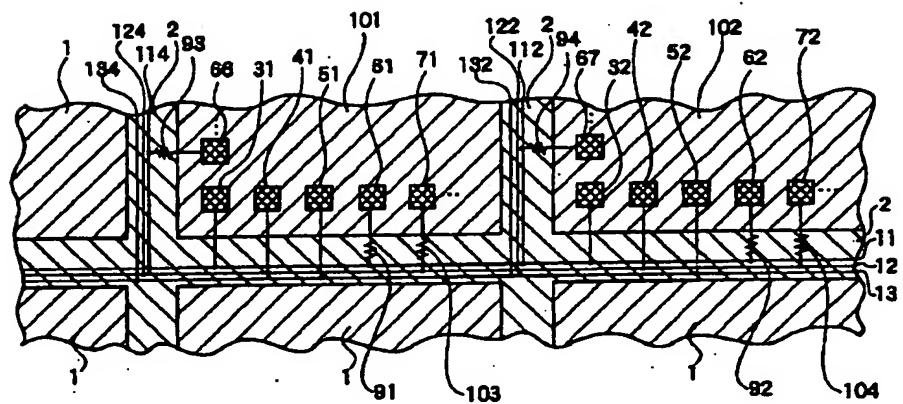
【図16】



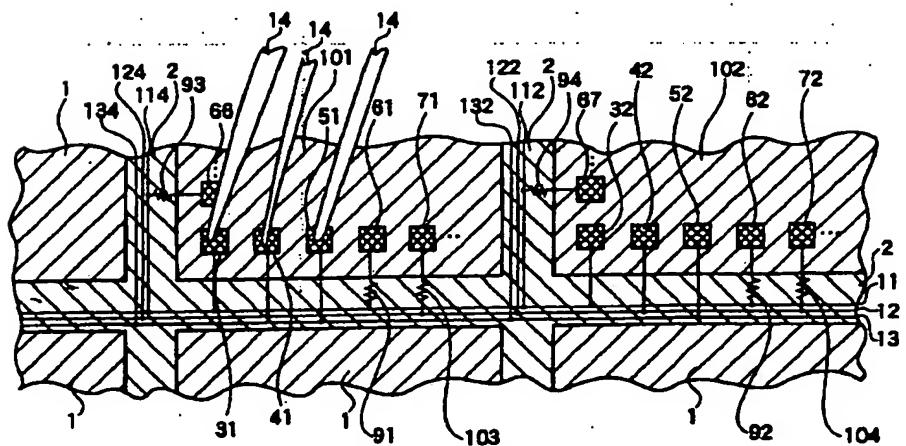
【図15】



【図17】



【図19】



[图18]

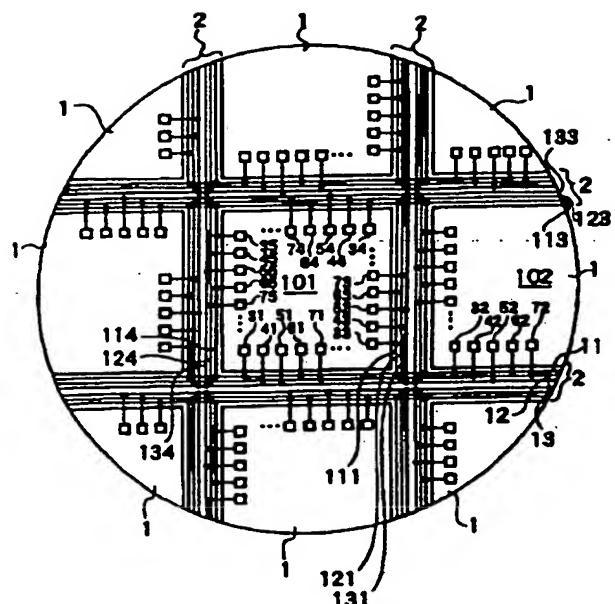


图201

